

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 7日
Date of Application:

出願番号 特願2003-031269
Application Number:
[ST. 10/C]: [JP 2003-031269]

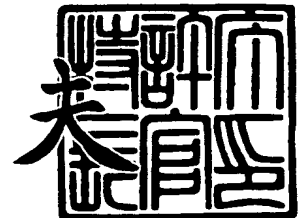
出願人 セイコーエプソン株式会社
Applicant(s):

特許庁
長官
印

2003年10月17日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 J0097431

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 沢本 俊宏

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 中山 浩久

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 青▲柳▼ 哲理

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100066980

 【弁理士】

 【氏名又は名称】 森 哲也

【選任した代理人】

 【識別番号】 100075579

 【弁理士】

 【氏名又は名称】 内藤 嘉昭

【選任した代理人】

【識別番号】 100103850

【弁理士】

【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 第 1 半導体チップが搭載された第 1 半導体パッケージと、
前記第 1 半導体チップ上に端部が配置されるようにして、前記第 1 半導体パッケージ上に支持された第 2 半導体パッケージとを備えることを特徴とする半導体装置。

【請求項 2】 前記第 1 半導体チップ上に端部が配置されるようにして、前記第 1 半導体パッケージ上に支持された第 3 半導体パッケージをさらに備えることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 半導体パッケージと前記第 3 半導体パッケージとは離間していることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 半導体パッケージと前記第 3 半導体パッケージとは、サイズ、厚みまたは材質の少なくともいずれか 1 つが異なることを特徴とする請求項 2 または 3 記載の半導体装置。

【請求項 5】 前記第 2 半導体パッケージと前記第 3 半導体パッケージとの間の隙間、第 1 半導体パッケージと前記第 2 半導体パッケージとの間の隙間、または第 1 半導体パッケージと前記第 3 半導体パッケージとの間の隙間の少なくともいずれか 1 つの隙間には樹脂が充填されていることを特徴とする請求項 3 または 4 記載の半導体装置。

【請求項 6】 前記第 1 半導体パッケージは、
前記第 1 半導体チップがフリップチップ実装された第 1 キャリア基板を備え、
前記第 2 半導体パッケージは、
第 2 半導体チップと、
前記第 2 半導体チップが実装された第 2 キャリア基板と、
前記第 1 キャリア基板上に接合され、前記第 1 半導体チップ上に前記第 2 キャリア基板を保持する突出電極と、
前記第 2 半導体チップを封止する封止材とを備えることを特徴とする請求項 1

～5のいずれか1項記載の半導体装置。

【請求項7】 前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された前記第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項6記載の半導体装置。

【請求項8】 前記突出電極は、前記第1半導体チップの搭載領域を避けるようにして、前記第2キャリア基板の少なくとも4隅に配置されていることを特徴とする請求項6または7記載の半導体装置。

【請求項9】 前記第1半導体チップは論理演算素子、前記第2半導体チップは記憶素子であることを特徴とする請求項6～8のいずれか1項記載の半導体装置。

【請求項10】 第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体チップとを備えることを特徴とする半導体装置。

【請求項11】 前記第2半導体チップは3次元実装構造を含むことを特徴とする請求項6～10のいずれか1項記載の半導体装置。

【請求項12】 電子部品が搭載された第1パッケージと、前記電子部品上に端部が配置されるようにして、前記第1パッケージ上に支持された第2パッケージとを備えることを特徴とする電子デバイス。

【請求項13】 半導体チップが搭載された第1半導体パッケージと、前記半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項14】 第1キャリア基板上に第1半導体チップを実装する工程と、第2キャリア基板上に第2半導体チップを実装する工程と、

前記第 2 キャリア基板に第 1 突出電極を形成する工程と、

前記第 1 半導体チップ上に前記第 2 キャリア基板の端部が配置されるようにして、前記第 1 突出電極を第 1 キャリア基板上に接合する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 15】 第 3 キャリア基板上に第 3 半導体チップを実装する工程と、

前記第 3 キャリア基板に第 2 突出電極を形成する工程と、

前記第 1 半導体チップ上に第 3 キャリア基板の端部が配置されるようにして、前記第 2 突出電極を第 1 キャリア基板上に接合する工程とをさらに備えることを特徴とする請求項 14 記載の半導体装置の製造方法。

【請求項 16】 前記第 2 キャリア基板と前記第 3 キャリア基板との間の隙間、前記第 1 キャリア基板と前記第 2 キャリア基板との間の隙間、または前記第 1 キャリア基板と前記第 3 キャリア基板との間の隙間の少なくとも 1 つの隙間から樹脂を注入する工程をさらに備えることを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 17】 前記第 2 半導体チップが実装された第 2 キャリア基板を第 1 封止材で封止する工程と、

前記第 3 半導体チップが実装された第 3 キャリア基板を第 2 封止材で封止する工程と、

前記第 1 封止材と前記第 2 封止材とを離間させた状態で、前記第 1 封止材の表面と前記第 2 封止材の表面を平坦面上に接触させる工程と、

前記第 1 突出電極および前記第 2 突出電極の形成面側から樹脂を注入することにより、前記第 1 封止材と前記第 2 封止材との間の隙間に樹脂を充填する工程とをさらに備えることを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 18】 第 1 キャリア基板上に第 1 電子部品を実装する工程と、

第 2 キャリア基板上に第 2 電子部品を実装する工程と、

前記第 2 キャリア基板に突出電極を形成する工程と、

前記第 1 電子部品上に前記第 2 キャリア基板の端部が配置されるようにして、前記突出電極を第 1 キャリア基板上に接合する工程とを備えることを特徴とする

電子デバイスの製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0 0 0 2】

【従来の技術】

従来の半導体装置では、半導体チップ実装時の省スペース化を図るため、例えば、特許文献 1 に開示されているように、同種のキャリア基板を介在させながら半導体チップを 3 次元実装する方法がある。

【0 0 0 3】

【特許文献 1】

特開平 1 0 - 2 8 4 6 8 3 号公報

【0 0 0 4】

【発明が解決しようとする課題】

しかしながら、同種のキャリア基板を介在させながら半導体チップを 3 次元実装する方法では、異種パッケージの積層が困難となり、異種チップの積層が困難となることから、省スペース化の実効性が上がらないという問題があった。

そこで、本発明の目的は、異種パッケージの 3 次元実装構造を実現することが可能な半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0 0 0 5】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第 1 半導体チップが搭載された第 1 半導体パッケージと、前記第 1 半導体チップ上に端部が配置されるようにして、前記第 1 半導体パッケージ上に支持された第 2 半導体パッケージとを備えることを特徴とする。

【0006】

これにより、第1半導体パッケージのサイズと第2半導体パッケージのサイズが異なる場合においても、第1半導体チップが搭載された第1半導体パッケージ上に第2半導体パッケージを積層させることが可能となる。このため、第1半導体パッケージと第2半導体パッケージの種類が異なる場合においても、3次元実装構造を実現することが可能となり、異種チップの積層を図ることが可能となることから、省スペース化の実効性を向上させることが可能となる。

【0007】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第3半導体パッケージをさらに備えることを特徴とする。

これにより、第2半導体パッケージおよび第3半導体パッケージを第1半導体チップ上に配置することが可能となり、同一の第1半導体チップ上に複数の半導体パッケージを配置することが可能となることから、実装面積をより一層縮小することが可能となる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体パッケージと前記第3半導体パッケージとは離間していることを特徴とする。

これにより、第2半導体パッケージおよび第3半導体パッケージを第1半導体チップ上に配置した場合においても、第1半導体チップから発生する熱を第2半導体パッケージと第3半導体パッケージとの間の隙間から逃がすことが可能となり、第1半導体チップから発生する熱の放散性を向上させることが可能となる。このため、第1半導体チップの信頼性の劣化を抑制しつつ、同一の第1半導体チップ上に複数の半導体パッケージを配置することが可能となり、動作不良を抑止しつつ、実装面積を縮小することが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体パッケージと前記第3半導体パッケージとは、サイズ、厚みまたは材質の少なくともいずれか1つが異なることを特徴とする。

これにより、同一半導体チップ上に複数の異種パッケージを配置することが可能となり、実装面積をより一層縮小することが可能となるとともに、パッケージ間で生じる反りを相殺させることが可能となり、パッケージ間の接続信頼性を向上させることが可能となる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体パッケージと前記第3半導体パッケージとの間の隙間、第1半導体パッケージと前記第2半導体パッケージとの間の隙間、または第1半導体パッケージと前記第3半導体パッケージとの間の隙間の少なくともいずれか1つの隙間には樹脂が充填されていることを特徴とする。

【0011】

これにより、半導体パッケージ間の隙間に充填された樹脂により、半導体パッケージに発生する応力を緩和することが可能となる。このため、半導体パッケージの耐衝撃性を向上させることが可能となり、複数の半導体パッケージを積層した場合においても、半導体パッケージの信頼性を確保することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1半導体チップがフリップチップ実装された第1キャリア基板を備え、前記第2半導体パッケージは、第2半導体チップと、前記第2半導体チップが実装された第2キャリア基板と、前記第1キャリア基板上に接合され、前記第1半導体チップ上に前記第2キャリア基板を保持する突出電極と、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0012】

これにより、第1キャリア基板上に突出電極を接合することで、高さの増大を抑制しつつ、異種パッケージを積層させることが可能となり、実装面積を縮小することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された前記第2半導体チップがモールド封止されたボールグリッドアレ

イまたはチップサイズパッケージであることを特徴とする。

【0013】

これにより、汎用パッケージを用いた場合においても、異種パッケージを積層することが可能となり、生産効率の劣化を抑制しつつ、実装面積を縮小することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記突出電極は、前記第1半導体チップの搭載領域を避けるようにして、前記第2キャリア基板の少なくとも4隅に配置されていることを特徴とする。

【0014】

これにより、第1半導体チップ上に第2半導体パッケージの端部が配置された場合においても、突出電極の配置位置を調整することで、第2半導体パッケージを第1半導体パッケージ上で安定して保持することが可能となり、積層構造の複雑化を抑制しつつ、実装面積を縮小することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップは論理演算素子、前記第2半導体チップは記憶素子であることを特徴とする。

【0015】

これにより、実装面積の増大を抑制しつつ、様々の機能を実現することが可能となるとともに、記憶素子のスタック構造を容易に実現することが可能となり、記憶容量を容易に増加させることが可能となる。

また、本発明の一態様に係る半導体装置によれば、第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体チップとを備えることを特徴とする。

【0016】

これにより、半導体チップの種類またはサイズが異なる場合においても、第1半導体チップと第2半導体チップとの間にキャリア基板を介在させることなく、第1半導体チップ上に第2半導体チップが配置されるようにして、第2半導体チップを第1半導体パッケージ上にフリップチップ実装することが可能となる。このため、半導体チップ積層時の高さの増大を抑制しつつ、実装面積を縮小するこ

とが可能となり、省スペース化の実効性を向上させることが可能となる。

【0017】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップは3次元実装構造を含むことを特徴とする。

これにより、種類またはサイズが異なる第2半導体チップを第1半導体チップ上に複数積層することが可能となり、様々の機能を持たせることを可能としつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

【0018】

また、本発明の一態様に係る半導体デバイスによれば、電子部品が搭載された第1パッケージと、前記電子部品上に端部が配置されるようにして、前記第1パッケージ上に支持された第2パッケージとを備えることを特徴とする。

これにより、第1パッケージと第2パッケージの種類が異なる場合においても、3次元実装構造を実現することが可能となり、異種部品の積層を図ることが可能となるから、省スペース化の実効性を向上させることが可能となる。

【0019】

また、本発明の一態様に係る電子機器によれば、半導体チップが搭載された第1半導体パッケージと、前記半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする。

これにより、半導体チップが搭載された異種パッケージの3次元実装構造を実現することが可能となり、電子機器の機能性の向上を可能としつつ、電子機器の小型・軽量化を図ることが可能となる。

【0020】

また、本発明の一態様に係る半導体装置の製造方法によれば、第1キャリア基板上に第1半導体チップを実装する工程と、第2キャリア基板上に第2半導体チップを実装する工程と、前記第2キャリア基板に第1突出電極を形成する工程と、前記第1半導体チップ上に前記第2キャリア基板の端部が配置されるようにして、前記第1突出電極を第1キャリア基板上に接合する工程とを備えることを特徴とする。

【0021】

これにより、第1キャリア基板のサイズと第2キャリア基板のサイズが異なる場合においても、第1突出電極を第1キャリア基板に接合することで、第1半導体チップが実装された第1キャリア基板上に第2キャリア基を積層させることが可能となる。このため、第1突出電極の配置位置を調整することで、異種チップの積層を図ることが可能となり、製造工程の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0022】

また、本発明の一態様に係る半導体装置の製造方法によれば、第3キャリア基板上に第3半導体チップを実装する工程と、前記第3キャリア基板に第2突出電極を形成する工程と、前記第1半導体チップ上に第3キャリア基板の端部が配置されるようにして、前記第2突出電極を第1キャリア基板上に接合する工程とをさらに備えることを特徴とする。

【0023】

これにより、第1突出電極および第2突出電極の配置位置を調整することで、同一半導体チップ上に複数の半導体パッケージを配置することが可能となり、製造工程の煩雑化を抑制しつつ、実装面積をより一層縮小することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、前記第2キャリア基板と前記第3キャリア基板との間の隙間、前記第1キャリア基板と前記第2キャリア基板との間の隙間、または前記第1キャリア基板と前記第3キャリア基板との間の隙間の少なくとも1つの隙間から樹脂を注入する工程をさらに備えることを特徴とする。

【0024】

これにより、半導体パッケージ間の隙間に樹脂を効率よく充填することが可能となり、半導体パッケージ間の隙間を狭くすることが可能となる。このため、半導体パッケージの耐衝撃性を向上させることを可能としつつ、半導体パッケージの実装密度を向上させることが可能となり、半導体パッケージの信頼性を確保しつつ、実装面積を縮小することが可能となる。

【0025】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記第2半導体チップが実装された第2キャリア基板を第1封止材で封止する工程と、前記第3半導体チップが実装された第3キャリア基板を第2封止材で封止する工程と、前記第1封止材と前記第2封止材とを離間させた状態で、前記第1封止材の表面と前記第2封止材の表面を平坦面上に接触させる工程と、前記第1突出電極および前記第2突出電極の形成面側から樹脂を注入することにより、前記第1封止材と前記第2封止材との間の隙間に樹脂を充填する工程とをさらに備えることを特徴とする。

【0026】

これにより、第1キャリア基板上に実装された第2キャリア基板と第3キャリア基板とが離間している場合においても、上段に配置される半導体パッケージの上面を平坦化させることが可能となる。このため、吸着パットによる半導体パッケージのピックアップを安定して行うことが可能となり、半導体パッケージをマザー基板上に精度よく実装することが可能となる。

【0027】

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア基板上に第1電子部品を実装する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2キャリア基板に突出電極を形成する工程と、前記第1電子部品上に前記第2キャリア基板の端部が配置されるようにして、前記突出電極を第1キャリア基板上に接合する工程とを備えることを特徴とする。

【0028】

これにより、突出電極の配置位置を調整することで、第1電子部品上に第2電子部品を配置することが可能となり、製造工程の煩雑化を抑制しつつ、実装面積を縮小することが可能となる。

【0029】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図、図2は

、本発明の第1実施形態に係る半導体装置の概略構成を示す平面図である。なお、この第1実施形態は、半導体チップ（または半導体ダイ）13がACF接合により実装された半導体パッケージPK11上に、スタックド構造の半導体チップ（または半導体ダイ）23a～23cがワイヤボンド接続された半導体パッケージPK12およびスタックド構造の半導体チップ（または半導体ダイ）33a～33cがワイヤボンド接続された半導体パッケージPK13をそれぞれ積層したものである。

【0030】

図1において、半導体パッケージPK11にはキャリア基板11が設けられ、キャリア基板11の両面にはランド12a、12cがそれぞれ形成されるとともに、キャリア基板11内には内部配線12bが形成されている。そして、キャリア基板11上には半導体チップ13がフリップチップ実装され、半導体チップ13には、フリップチップ実装するための突出電極14が設けられている。そして、半導体チップ13に設けられた突出電極14は、異方性導電シート15を介してランド12c上にACF（Anisotropic Conductive Film）接合されている。また、キャリア基板11の裏面に設けられたランド12a上には、キャリア基板11をマザー基板上に実装するための突出電極16が設けられている。

【0031】

ここで、ACF接合により半導体チップ13をキャリア基板11上に実装することにより、ワイヤボンドやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ13をキャリア基板11上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板11の反りを低減することが可能となる。

【0032】

一方、半導体パッケージPK12、PK13にはキャリア基板21、31がそれぞれ設けられている。そして、キャリア基板21、31の裏面にはランド22a、22a'、32a、32a'がそれぞれ形成されるとともに、キャリア基板21、31の表面にはランド22c、32cがそれぞれ形成され、キャリア基板

21、31内には内部配線22b、32bがそれぞれ形成されている。ここで、ランド22a、32a上には突出電極26、36をそれぞれ配置し、ランド22a'、32a'は、突出電極26、36が配置されないまま残しておくことができる。

【0033】

そして、キャリア基板21、31上には、接着層24a、34aをそれぞれ介し半導体チップ23a、33aがそれぞれフェースアップ実装され、半導体チップ23a、33aは、導電性ワイヤ25a、35aをそれぞれ介してランド22c、32cにそれぞれワイヤボンダ接続されている。さらに、半導体チップ23a、33a上には、導電性ワイヤ25a、35aを避けるようにして、半導体チップ23b、33bがそれぞれフェースアップ実装され、半導体チップ23b、33bは、接着層24b、34bをそれぞれ介して半導体チップ23a、33a上にそれぞれ固定されるとともに、導電性ワイヤ25b、35bをそれぞれ介してランド22c、32cにそれぞれワイヤボンダ接続されている。さらに、半導体チップ23b、33b上には、導電性ワイヤ25b、35bを避けるようにして、半導体チップ23c、33cがそれぞれフェースアップ実装され、半導体チップ23c、33cは、接着層24c、34cをそれぞれ介して半導体チップ23b、33b上にそれぞれ固定されるとともに、導電性ワイヤ25c、35cをそれぞれ介してランド22c、32cにそれぞれワイヤボンダ接続されている。

【0034】

また、キャリア基板21、31の裏面にそれぞれ設けられたランド22a、32a上には、キャリア基板21、31が半導体チップ13上にそれぞれ保持されるようにして、キャリア基板21、31をキャリア基板11上にそれぞれ実装するための突出電極26、36がそれぞれ設けられている。ここで、突出電極26、36は、キャリア基板21、31の少なくとも四隅に存在することが好ましい。例えば、図2に示すように、突出電極26、36をコ字状に配列することができる。

【0035】

これにより、キャリア基板21、31の端部が半導体チップ13上にそれぞれ

配置されるようにして、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装した場合においても、キャリア基板 21、31 をキャリア基板 11 上で安定して保持することが可能となる。

また、突出電極 26、36 が未配置のまま残されたランド 22a'、32a' をキャリア基板 21、31 にそれぞれ設けることにより、突出電極 26、36 の配置位置を調整することが可能となる。このため、キャリア基板 11 上に実装される半導体チップ 13 の種類やサイズが変更された場合においても、キャリア基板 21、31 の構成を変更することなく、突出電極 26、36 を配置し直すことが可能となり、キャリア基板 21、31 の汎用化を図ることが可能となる。

【0036】

そして、キャリア基板 11 上に設けられたランド 12c に突出電極 26、36 をそれぞれ接合させることにより、キャリア基板 21、31 の端部がそれぞれ半導体チップ 13 上に配置されるようにして、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装することができる。これにより、同一の半導体チップ 13 上に複数の半導体パッケージ PK12、PK13 を配置することが可能となり、実装面積の縮小を可能としつつ、異種の半導体チップ 13、23a～23c、33a～33c の 3 次元実装を図ることが可能となる。

【0037】

ここで、半導体チップ 13 としては、例えば、CPU などの論理演算素子、半導体チップ 23a～23c、33a～33c としては、例えば、DRAM、SRAM、EEPROM、フラッシュメモリなどの記憶素子を用いることができる。これにより、実装面積の増大を抑制しつつ、様々な機能を実現することが可能となるとともに、記憶素子のスタック構造を容易に実現することが可能となり、記憶容量を容易に増加させることが可能となる。

【0038】

なお、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装する場合、キャリア基板 21、31 の裏面は半導体チップ 13 上に密着していてもよいし、キャリア基板 21、31 の裏面は半導体チップ 13 から離れていてもよい。

また、キャリア基板 21 とキャリア基板 31 とは、側壁が密着していてもよい

し、側壁が離れていてもよい。ここで、キャリア基板 21 とキャリア基板 31 の側壁を密着させることにより、半導体パッケージ PK11 上に実装される半導体パッケージ PK12、PK13 の実装密度を向上させることが可能となり、省スペース化を図ることが可能となる。一方、キャリア基板 21 とキャリア基板 31 の側壁を離間させることにより、半導体チップ 13 から発生する熱を半導体パッケージ PK12、PK13 間の隙間から逃がすことが可能となり、半導体チップ 13 から発生する熱の放散性を向上させることが可能となる。

【0039】

また、半導体チップ 23a～23c、33a～33c の実装面側のキャリア基板 21、31 の一面全体に封止樹脂 27、37 がそれぞれ設けられ、この封止樹脂 27、37 により半導体チップ 23a～23c、33a～33c がそれぞれ封止されている。なお、封止樹脂 27、37 で半導体チップ 23a～23c、33a～33c をそれぞれ封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0040】

なお、キャリア基板 11、21、31 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 11、21、31 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BT レジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極 16、26、36 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができ、導電性ワイヤ 25a～25c、35a～35c としては、例えば、Au ワイヤや Al ワイヤなどを用いることができる。また、上述した実施形態では、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装するために、突出電極 26、36 をキャリア基板 26、36 のランド 22a、32a 上にそれぞれ設ける方法について説明したが、突出電極 26、36 をキャリア基板 11 のランド 12c 上に設けるようにしてもよい。

【0041】

また、上述した実施形態では、ACF 接合により半導体チップ 13 をキャリア

基板 11 上に実装する方法について説明したが、例えば、NCF (Non conductive Film) 接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、半導体チップ 23a~23c、33a~33c をキャリア基板 21、31 上にそれぞれ実装する場合、ワイヤボンダ接続を用いる方法について説明したが、キャリア基板 21、31 上に半導体チップ 23a~23c、33a~33c をフリップチップ実装するようにしてもよい。さらに、上述した実施形態では、キャリア基板 11 上に半導体チップ 13 を 1 個だけ実装する方法を例にとって説明したが、キャリア基板 11 上に複数の半導体チップを実装するようにしてもよい。

【0042】

図 3 は、本発明の第 2 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 2 実施形態は、半導体チップ 43 上に端部がかかるようにして半導体パッケージ PK21 上に実装された半導体パッケージ PK22、PK23 間の隙間、半導体パッケージ PK21、PK22 間の隙間および半導体パッケージ PK21、PK23 間の隙間に樹脂 65 を注入するようにしたものである。

【0043】

図 3 (a) において、半導体パッケージ PK21 にはキャリア基板 41 が設けられ、キャリア基板 41 の両面にはランド 42a、42b がそれぞれ形成されている。そして、キャリア基板 41 上には半導体チップ 43 がフリップチップ実装され、半導体チップ 43 には、フリップチップ実装するための突出電極 44 が設けられている。そして、半導体チップ 43 に設けられた突出電極 44 は、異方性導電シート 45 を介してランド 42b 上に ACF 接合されている。

【0044】

一方、半導体パッケージ PK22、PK23 にはキャリア基板 51、61 がそれぞれ設けられ、キャリア基板 51、61 の裏面にはランド 52、62 がそれぞれ形成され、ランド 52、62 上には半田ボールなどの突出電極 53、63 がそれぞれ設けられている。また、キャリア基板 51、61 上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板 51、61 の一面全体は、封止樹脂 54、64 でそれぞれ封止されている。なお、キャリア基板 51、

61上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0045】

そして、半導体パッケージPK21上に半導体パッケージPK22、PK23をそれぞれ積層する場合、キャリア基板41のランド42b上にフラックスまたは半田ペーストを供給する。

次に、図3(b)に示すように、半導体パッケージPK21上に半導体パッケージPK22、PK23を互いに離間させてマウントし、リフロー処理を行うことにより、突出電極53、63をランド42b上にそれぞれ接合させる。

【0046】

これにより、キャリア基板51、61に配置される突出電極53、63の配置位置を調整することで、同一半導体チップ43上に複数の半導体パッケージPK22、PK23を配置することが可能となり、製造工程の煩雑化を抑制しつつ、実装面積を縮小することが可能となる。また、半導体パッケージPK21上に半導体パッケージPK22、PK23をそれぞれ積層することで、検査済みの良品の半導体パッケージPK21、PK22、PK23のみを選別してマウントすることが可能となり、製造歩留りを向上させることが可能となる。

【0047】

次に、図3(c)に示すように、半導体パッケージPK21、PK22、PK23間の隙間から樹脂65を注入することにより、半導体パッケージPK21、PK22、PK23間の隙間に樹脂65を充填する。ここで、半導体パッケージPK21、PK22、PK23間の隙間に樹脂65を充填する場合、半導体パッケージPK21と半導体パッケージPK22との間の隙間、半導体パッケージPK21と半導体パッケージPK23との間の隙間、または半導体パッケージPK22と半導体パッケージPK23との間の隙間のいずれの方向から樹脂65を注入してもよい。

【0048】

これにより、半導体パッケージPK21、PK22、PK23間の隙間に樹脂

65を効率よく充填することが可能となり、半導体パッケージPK21、PK22、PK23の耐衝撃性を向上させることが可能となる。このため、突出電極53、63の根元に残留応力が集中した場合においても、突出電極53、63にクラックが誘発されることを防止することが可能となり、半導体パッケージPK21、PK22、PK23の信頼性を向上させることが可能となる。

【0049】

次に、図3(d)に示すように、キャリア基板41の裏面に設けられたランド42a上に、キャリア基板41をマザー基板上に実装するための突出電極46を形成する。

図4は、本発明の第3実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第3実施形態は、突出電極83、93が設けられた半導体パッケージPK32、PK33を、底が平坦な容器85内に逆さまに離間させて配置し、突出電極83、93の形成面側から半導体パッケージPK32、PK33間の隙間に樹脂95を注入するようにしたものである。

【0050】

図4において、半導体パッケージPK31にはキャリア基板71が設けられ、キャリア基板71の両面にはランド72a、72bがそれぞれ形成されている。そして、キャリア基板71上には半導体チップ73がフリップチップ実装され、半導体チップ73には、フリップチップ実装するための突出電極74が設けられている。そして、半導体チップ73に設けられた突出電極74は、異方性導電シート75を介してランド72b上にACF接合されている。

【0051】

一方、半導体パッケージPK32、PK33にはキャリア基板81、91がそれぞれ設けられ、キャリア基板81、91の裏面にはランド82、92がそれぞれ形成され、ランド82、92上には半田ボールなどの突出電極83、93がそれぞれ設けられている。また、キャリア基板81、91上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板81、91の一面全体は、封止樹脂84、94でそれぞれ封止されている。

【0052】

そして、図4（a）に示すように、突出電極83、93が設けられた半導体パッケージPK32、PK33を、底が平坦な容器85内に逆さまに離間させて配置する。そして、突出電極83、93の形成面側から半導体パッケージPK32、PK33間の隙間に樹脂95を注入し、樹脂95を硬化させる。なお、容器85の代わりに、底が平坦な型などを用いるようにしてもよい。

【0053】

次に、図4（b）、図4（c）に示すように、半導体パッケージPK32、PK33間の隙間に樹脂95が充填されると、樹脂95が充填された半導体パッケージPK32、PK33を容器85から取り出す。そして、樹脂95が充填された半導体パッケージPK32、PK33を半導体パッケージPK31上にマウントし、リフロー処理を行うことにより、突出電極83、93をランド72b上にそれぞれ接合させる。そして、半導体パッケージPK31、PK32、PK33間の隙間を介し樹脂96を側方から注入することにより、半導体パッケージPK31、PK32、PK33間の隙間に樹脂96を充填する。

【0054】

次に、図4（d）に示すように、キャリア基板71の裏面に設けられたランド72a上に、キャリア基板71をマザー基板上に実装するための突出電極76を形成する。

これにより、半導体パッケージPK32、PK33が互いに離間されて半導体パッケージPK31上に実装された場合においても、半導体パッケージPK32、PK33の上面を平坦化させることが可能となる。このため、吸着パットによる半導体パッケージPK31、PK32、PK33の実装構造のピックアップを安定して行うことが可能となり、半導体パッケージPK31、PK32、PK33の実装構造をマザー基板上に精度よく実装することが可能となる。

【0055】

なお、図4の実施形態では、半導体パッケージPK32、PK33に突出電極83、93をそれぞれ形成してから、半導体パッケージPK32、PK33間の隙間に樹脂95を充填する方法について説明したが、半導体パッケージPK32、PK33間の隙間に樹脂95を充填してから、半導体パッケージPK32、P

K 3 3 に突出電極 8 3、9 3 をそれぞれ形成してもよい。

【0056】

図 5 は、本発明の第 4 実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第 4 実施形態は、サイズが互いに異なる複数の半導体パッケージ P K 4 2、P K 4 3 を、半導体パッケージ P K 4 1 上に実装するようにしたものである。

図 5 において、半導体パッケージ P K 4 1 にはキャリア基板 1 1 1 が設けられ、キャリア基板 1 1 1 の両面にはランド 1 1 2 a、1 1 2 b がそれぞれ形成されている。そして、キャリア基板 1 1 1 上には半導体チップ 1 1 3 がフリップチップ実装され、半導体チップ 1 1 3 には、フリップチップ実装するための突出電極 1 1 4 が設けられている。そして、半導体チップ 1 1 3 に設けられた突出電極 1 1 4 は、異方性導電シート 1 1 5 を介してランド 1 1 2 b 上に A C F 接合されている。

【0057】

一方、半導体パッケージ P K 4 2、P K 4 3 には、サイズが互いに異なるキャリア基板 1 2 1、1 3 1 がそれぞれ設けられ、キャリア基板 1 2 1、1 3 1 の裏面にはランド 1 2 2、1 3 2 がそれぞれ形成され、ランド 1 2 2、1 3 2 上には半田ボールなどの突出電極 1 2 3、1 3 3 がそれぞれ設けられている。また、キャリア基板 1 2 1、1 3 1 上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板 1 2 1、1 3 1 の一面全体は、封止樹脂 1 2 4、1 3 4 でそれぞれ封止されている。

【0058】

そして、キャリア基板 1 1 1 上に設けられたランド 1 1 2 b に突出電極 1 2 3、1 3 3 をそれぞれ接合させることにより、キャリア基板 1 2 1、1 3 1 の端部がそれぞれ半導体チップ 1 1 3 上に配置されるようにして、サイズが互いに異なる複数の半導体パッケージ P K 4 2、P K 4 3 が半導体パッケージ P K 4 1 上に実装されている。

【0059】

これにより、異種チップが搭載された半導体パッケージ P K 4 2、P K 4 3 を

同一半導体チップ 1 1 3 上に配置することが可能となり、実装面積を縮小することが可能となるとともに、半導体パッケージ P K 4 1、P K 4 2、P K 4 3 間で生じる反りを相殺させることが可能となり、半導体パッケージ P K 4 1、P K 4 2、P K 4 3 間の接続信頼性を向上させることが可能となる。

【0 0 6 0】

なお、図 5 の実施形態では、サイズが互いに異なる複数の半導体パッケージ P K 4 2、P K 4 3 を、半導体パッケージ P K 4 1 上に実装する方法について説明したが、厚み、材質または形状が互いに異なる半導体パッケージを半導体パッケージ P K 4 1 上に実装するようにしてもよい。また、半導体パッケージ P K 4 1 上に実装される半導体パッケージ P K 4 2、P K 4 3 ごとに、突出電極の配置位置、配置間隔、配列数または配置方法（例えば、格子配列または千鳥配列）などを変えるようにしてもよい。

【0 0 6 1】

図 6 は、本発明の第 5 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 5 実施形態は、半導体チップ 2 1 3 上に端部がかかるようにして半導体パッケージ P K 5 1 上に実装された半導体パッケージ P K 5 2、P K 5 3 間の隙間に、樹脂 2 4 1 を注入するようにしたものである。

図 6 において、半導体パッケージ P K 5 1 にはキャリア基板 2 1 1 が設けられ、キャリア基板 2 1 1 の両面にはランド 2 1 2 a、2 1 2 b がそれぞれ形成されている。そして、キャリア基板 2 1 1 上には半導体チップ 2 1 3 がフリップチップ実装され、半導体チップ 2 1 3 には、フリップチップ実装するための突出電極 2 1 4 が設けられている。そして、半導体チップ 2 1 3 に設けられた突出電極 2 1 4 は、異方性導電シート 2 1 5 を介してランド 2 1 2 b 上に A C F 接合されている。

【0 0 6 2】

一方、半導体パッケージ P K 5 2、P K 5 3 にはキャリア基板 2 2 1、2 3 1 がそれぞれ設けられ、キャリア基板 2 2 1、2 3 1 の裏面にはランド 2 2 2、2 3 2 がそれぞれ形成され、ランド 2 2 2、2 3 2 上には半田ボールなどの突出電極 2 2 3、2 3 3 がそれぞれ設けられている。また、キャリア基板 2 2 1、2 3

1 上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板 221、231 の一面全体は、封止樹脂 224、234 でそれぞれ封止されている。

【0063】

そして、キャリア基板 211 上に設けられたランド 212b に突出電極 223、233 をそれぞれ接合させることにより、キャリア基板 221、231 の端部がそれぞれ半導体チップ 213 上に配置されるようにして、複数の半導体パッケージ PK52、PK53 が半導体パッケージ PK51 上に実装されている。

また、半導体パッケージ PK51 上に実装された半導体パッケージ PK52、PK53 間の隙間には、樹脂 241 が充填されている。これにより、半導体パッケージ PK52、PK53 にかかる応力を樹脂 241 で吸収することが可能となり、半導体パッケージ PK52、PK53 の信頼性を向上させることが可能となる。

【0064】

なお、半導体パッケージ PK52、PK53 間の隙間に樹脂 241 を充填する場合、半導体パッケージ PK52、PK53 と半導体チップ 213 との間の隙間に樹脂 241 がはみ出すようにしてもよい。これにより、半導体パッケージ PK52、PK53 の一端のみに突出電極 223、233 がそれぞれ配置されている場合においても、樹脂 241 を介して半導体パッケージ PK52、PK53 の他端をそれぞれ支えることが可能となり、半導体パッケージ PK52、PK53 を半導体パッケージ PK51 上に安定して実装することが可能となる。

【0065】

図 7 は、本発明の第 6 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 6 実施形態は、半導体パッケージ PK63 が実装される下段の半導体パッケージ PK61、PK62 を分割するようにしたものである。

図 7 において、半導体パッケージ PK61、PK62 にはキャリア基板 311、321 がそれぞれ設けられ、キャリア基板 311、321 の裏面にはランド 312a、322a がそれぞれ形成されるととともに、キャリア基板 311、321 の面にはランド 312b、322b がそれぞれ形成されている。そして、キ

キャリア基板 311、321 上には半導体チップ 314、324 がそれぞれフリップチップ実装され、半導体チップ 314、324 には、フリップチップ実装するための突出電極 314、324 がそれぞれ設けられている。そして、半導体チップ 314、324 にそれぞれ設けられた突出電極 314、324 は、異方性導電シート 315、325 をそれぞれ介してランド 312b、322b 上にそれぞれ ACF 接合されている。

【0066】

一方、半導体パッケージ PK63 にはキャリア基板 331 が設けられ、キャリア基板 331 の裏面にはランド 332a、332b が形成され、ランド 332a、332b 上には半田ボールなどの突出電極 333a、333b がそれぞれ設けられている。また、キャリア基板 331 上には半導体チップが実装され、半導体チップが実装されたキャリア基板 331 の一面全体は、封止樹脂 334 で封止されている。

【0067】

そして、キャリア基板 311、321 上に設けられたランド 312b、322b に突出電極 333a、333b をそれぞれ接合させることにより、キャリア基板 331 が半導体チップ 313、323 上に配置されるようにして、半導体パッケージ PK63 が半導体パッケージ PK61、PK62 上に実装されている。

これにより、複数の半導体パッケージ PK61、PK62 上に同一の半導体パッケージ PK63 を配置することが可能となり、実装面積の縮小を可能としつつ、異種チップの 3 次元実装を図ることが可能となる。

【0068】

図 8 は、本発明の第 7 実施形態に係る半導体装置の構成を示す断面図である。なお、この第 7 実施形態は、半導体チップ 421、431 の端部が半導体チップ 413 上にそれぞれ配置されるようにして、半導体チップ 413、421、431 をキャリア基板 411 上にそれぞれフリップチップ実装するようにしたものである。

【0069】

図 8 において、キャリア基板 411 の両面にはランド 412a、412c がそ

れぞれ形成されるとともに、キャリア基板 411 内には内部配線 412b が形成されている。そして、キャリア基板 411 上には半導体チップ 413 がフリップチップ実装され、半導体チップ 413 には、フリップチップ実装するための突出電極 414 が設けられている。そして、半導体チップ 413 に設けられた突出電極 414 は、異方性導電シート 415 を介してランド 412c 上に ACF 接合されている。なお、半導体チップ 413 をキャリア基板 411 上に実装する場合、ACF 接合を用いる方法以外にも、例えば、NCF 接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板 411 の裏面に設けられたランド 412a 上には、キャリア基板 411 をマザー基板上に実装するための突出電極 416 が設けられている。

【0070】

一方、半導体チップ 421、431 には、電極パッド 422、432 がそれぞれ設けられるとともに、電極パッド 422、432 がそれぞれ露出するようにして、絶縁膜 423、433 がそれぞれ設けられている。そして、電極パッド 422、433 上には、半導体チップ 421、431 の端部が半導体チップ 413 上にそれぞれ保持されるようにして、半導体チップ 421、431 をそれぞれフリップチップ実装するための突出電極 424、434 がそれぞれ設けられている。

【0071】

ここで、突出電極 424、434 は、半導体チップ 413 の搭載領域を避けるようにそれぞれ配置することができ、例えば、突出電極 424、434 をコ字状にそれぞれ配列することができる。そして、キャリア基板 411 上に設けられたランド 412c 上に突出電極 424、434 がそれぞれ接合され、半導体チップ 421、431 の端部が半導体チップ 413 上にそれぞれ配置されるようにして、半導体チップ 421、431 がキャリア基板 411 上にそれぞれフリップチップ実装されている。

【0072】

これにより、半導体チップ 413、421、431 の種類またはサイズが異なる場合においても、半導体チップ 413、421、431 間にキャリア基板を介

在させることなく、半導体チップ413上に半導体チップ421、431をフリップチップ実装することが可能となる。このため、半導体チップ413、421、431積層時の高さの増大を抑制しつつ、実装面積を縮小することが可能となり、省スペース化の実効性を向上させることが可能となる。

【0073】

なお、半導体チップ421、431をキャリア基板411上に実装する場合、半導体チップ421、431は半導体チップ413上に密着していてもよいし、キャリア基板421、431は半導体チップ413から離れていてもよい。また、半導体チップ421、431をキャリア基板411上に実装する場合、例えば、ACF接合やNCF接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極414、416、424、434としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。また、半導体チップ421、431とキャリア基板411との間の隙間には、封止樹脂を充填するようにしてもよい。

【0074】

図9は、本発明の第8実施形態に係る半導体装置の構成を示す断面図である。なお、この第8実施形態は、スタックド構造の半導体チップ521a～521c、531a～531cの端部が半導体チップ513上にそれぞれ配置されるようにして、スタックド構造の半導体チップ521a～521c、531a～531cをキャリア基板511上にフリップチップ実装するようにしたものである。

【0075】

図9において、キャリア基板511の両面にはランド512a、512cがそれぞれ形成されるとともに、キャリア基板511内には内部配線512bが形成されている。そして、キャリア基板511上には半導体チップ513がフリップチップ実装され、半導体チップ513には、フリップチップ実装するための突出電極514が設けられている。そして、半導体チップ513に設けられた突出電極514は、異方性導電シート515を介してランド512c上にACF接合されている。なお、半導体チップ513をキャリア基板511上に実装する場合、

ACF接合を用いる方法以外にも、例えば、NCF接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、キャリア基板511の裏面に設けられたランド512a上には、キャリア基板511をマザー基板上に実装するための突出電極516が設けられている。

【0076】

一方、半導体チップ521a～521c、531a～531cには、電極パッド522a～522c、532a～532cがそれぞれ設けられるとともに、各電極パッド522a～522c、532a～532cがそれぞれ露出するようにして、絶縁膜523a～523c、533a～533cがそれぞれ設けられている。そして、半導体チップ521a～521c、531a～531cには、例えば、各電極パッド522a～522c、532a～532cの位置に対応して、貫通孔524a～524c、534a～534cがそれぞれ形成され、各貫通孔524a～524c、534a～534c内には、絶縁膜525a～525c、535a～535cおよび導電膜526a～526c、536a～536cをそれぞれ介して、貫通電極527a～527c、537a～537cがそれぞれ形成されている。そして、貫通電極527a～527c、537a～537cがそれぞれ形成された半導体チップ521a～521c、531a～531cは、貫通電極527a～527c、537a～537cをそれぞれ介して積層され、半導体チップ521a～521c、531a～531c間の隙間には樹脂528a、528b、538a、538bがそれぞれ注入されている。

【0077】

そして、半導体チップ521a、531aにそれぞれ形成された各貫通電極527a、537a上には、半導体チップ521a～521c、531a～531cの積層構造の端部が半導体チップ513上にそれぞれ保持されるようにして、半導体チップ521a～521c、531a～531cの積層構造をそれぞれフリップチップ実装するための突出電極529、539がそれぞれ設けられている。

【0078】

ここで、突出電極 529、539 は、半導体チップ 513 の搭載領域を避けるようにして配置することができ、例えば、突出電極 529、539 をコ字状にそれぞれ配列することができる。そして、キャリア基板 511 上に設けられたランド 512c 上に突出電極 529、539 がそれぞれ接合され、タックド構造の半導体チップ 521a～521c、531a～531c の端部が半導体チップ 513 上にそれぞれ配置されるようにして、スタックド構造の半導体チップ 521a～521c、531a～531c がキャリア基板 511 上にそれぞれフリップチップ実装されている。

【0079】

これにより、半導体チップ 521a～521c、531a～531c の積層構造と半導体チップ 513 との間にキャリア基板を介在させることなく、半導体チップ 513 上に半導体チップ 521a～521c、531a～531c の積層構造をそれぞれフリップチップ実装することが可能となり、積層時の高さの増大を抑制しつつ、半導体チップ 513 と異なる種類の半導体チップ 521a～521c、531a～531c を複数積層することが可能となる。

【0080】

なお、半導体チップ 521a～521c、531a～531c の積層構造をキャリア基板 511 上に実装する場合、例えば、ACF 接合や NCF 接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極 514、516、529、529 としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。また、上述した実施形態では、半導体チップ 521a～521c、531a～531c の 3 層構造をキャリア基板 511 上にそれぞれ実装する方法について説明したが、キャリア基板 511 上に実装される半導体チップの積層構造は、2 層または 4 層以上であってもよい。また、半導体チップ 521a、531a とキャリア基板 511 との間の隙間には、封止樹脂を充填するようにしてもよい。

【0081】

図 10 は、本発明の第 9 実施形態に係る半導体装置の構成を示す断面図である

。なお、この第9実施形態は、複数のW-CSP（ウエハレベルチップサイズパッケージ）の端部が半導体チップ613上にそれぞれ配置されるようにして、W-CSPをキャリア基板611上に実装するようにしたものである。

図10において、半導体パッケージPK71にはキャリア基板611が設けられ、キャリア基板611の両面にはランド612a、612cがそれぞれ形成されるとともに、キャリア基板611内には内部配線612bが形成されている。そして、キャリア基板611上には半導体チップ613がフリップチップ実装され、半導体チップ613には、フリップチップ実装するための突出電極614が設けられている。そして、半導体チップ613に設けられた突出電極614は、異方性導電シート615を介してランド612c上にACF接合されている。また、キャリア基板611の裏面に設けられたランド612a上には、キャリア基板611をマザー基板上に実装するための突出電極616が設けられている。

【0082】

一方、半導体パッケージPK72、PK73には半導体チップ621、631がそれぞれ設けられ、各半導体チップ621、631には、電極パッド622、632がそれぞれ設けられるとともに、各電極パッド622、632がそれぞれ露出するようにして、絶縁膜623、633がそれぞれ設けられている。そして、各半導体チップ621、631上には、各電極パッド622、632がそれぞれ露出するようにして応力緩和層624、635がそれぞれ形成され、各電極パッド622、632上には、応力緩和層624、635上にそれぞれ延伸された再配置配線625、635がそれぞれ形成されている。そして、各再配置配線625、635上にはソルダレジスト膜626、636がそれぞれ形成され、各ソルダレジスト膜626、636には、各応力緩和層624、635上において再配置配線625、635をそれぞれ露出させる開口部627、637がそれぞれ形成されている。そして、各開口部627、637を介してそれぞれ露出された再配置配線625、635上には、半導体チップ621、631の端部が半導体チップ613上にそれぞれ保持されるようにして、各半導体チップ621、631をキャリア基板611上にそれぞれフェースダウン実装するための突出電極628、638がそれぞれ設けられている。

【0083】

ここで、突出電極628、638は、半導体チップ613の搭載領域を避けるようにして配置することができ、例えば、突出電極628、638をコ字状にそれぞれ配列することができる。そして、キャリア基板611上に設けられたランド612c上に突出電極628、638がそれぞれ接合され、半導体チップ6211、631の端部が半導体チップ613上にそれぞれ配置されるようにして、半導体パッケージPK72、PK73がキャリア基板611上にそれぞれ実装されている。

【0084】

これにより、半導体チップ613がフリップチップ実装されたキャリア基板611上にW-CSPを積層することができ、半導体チップ613、621、631の種類またはサイズが異なる場合においても、半導体チップ613、621、631間にキャリア基板を介在させることなく、半導体チップ613上に半導体チップ621、631を3次元実装することが可能となる。このため、半導体チップ613、621、631積層時の高さの増大を抑制しつつ、実装面積を縮小することが可能となり、省スペース化の実効性を向上させることが可能となる。

【0085】

なお、半導体パッケージPK72、PK73をキャリア基板611上に実装する場合、半導体パッケージPK72、PK73は半導体チップ613上に密着していてもよいし、半導体パッケージPK72、PK73は半導体チップ613から離れていてもよい。また、半導体パッケージPK72、PK73をキャリア基板611上に実装する場合、例えば、ACF接合やNCF接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、突出電極614、616、628、638としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。

【0086】

なお、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Di

s c) プレーヤなどの電子機器に適用することができ、電子機器の機能性の向上を可能としつつ、電子機器の小型・軽量化を図ることが可能となる。

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとりて説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

【図 1】 第 1 実施形態に係る半導体装置の構成を示す断面図。

【図 2】 第 1 実施形態に係る半導体装置の構成を示す平面図。

【図 3】 第 2 実施形態に係る半導体装置の製造方法を示す断面図。

【図 4】 第 3 実施形態に係る半導体装置の製造方法を示す断面図。

【図 5】 第 4 実施形態に係る半導体装置の構成を示す断面図。

【図 6】 第 5 実施形態に係る半導体装置の構成を示す断面図。

【図 7】 第 6 実施形態に係る半導体装置の構成を示す断面図。

【図 8】 第 7 実施形態に係る半導体装置の構成を示す断面図。

【図 9】 第 8 実施形態に係る半導体装置の構成を示す断面図。

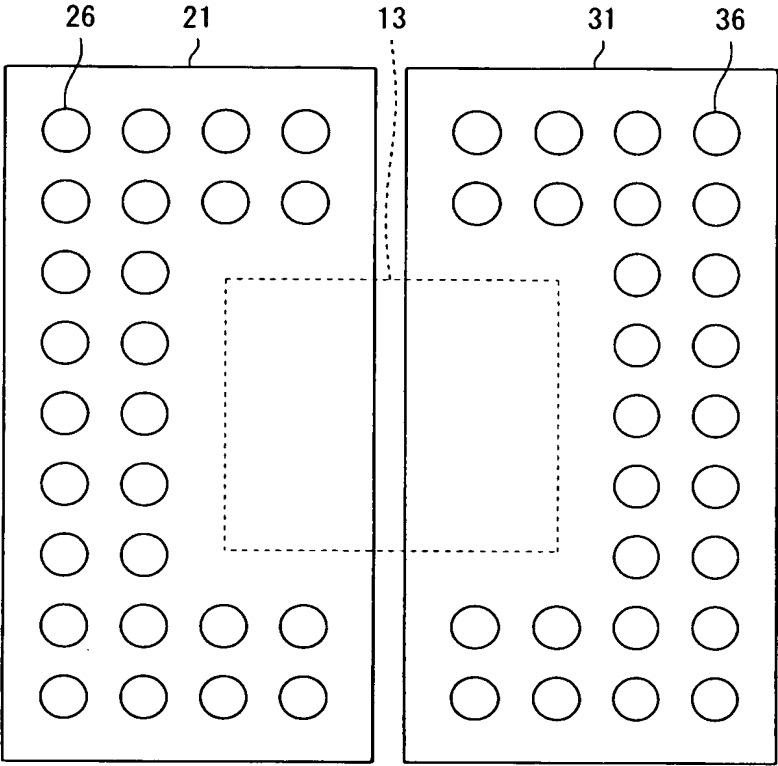
【図 10】 第 9 実施形態に係る半導体装置の構成を示す断面図。

【符号の説明】

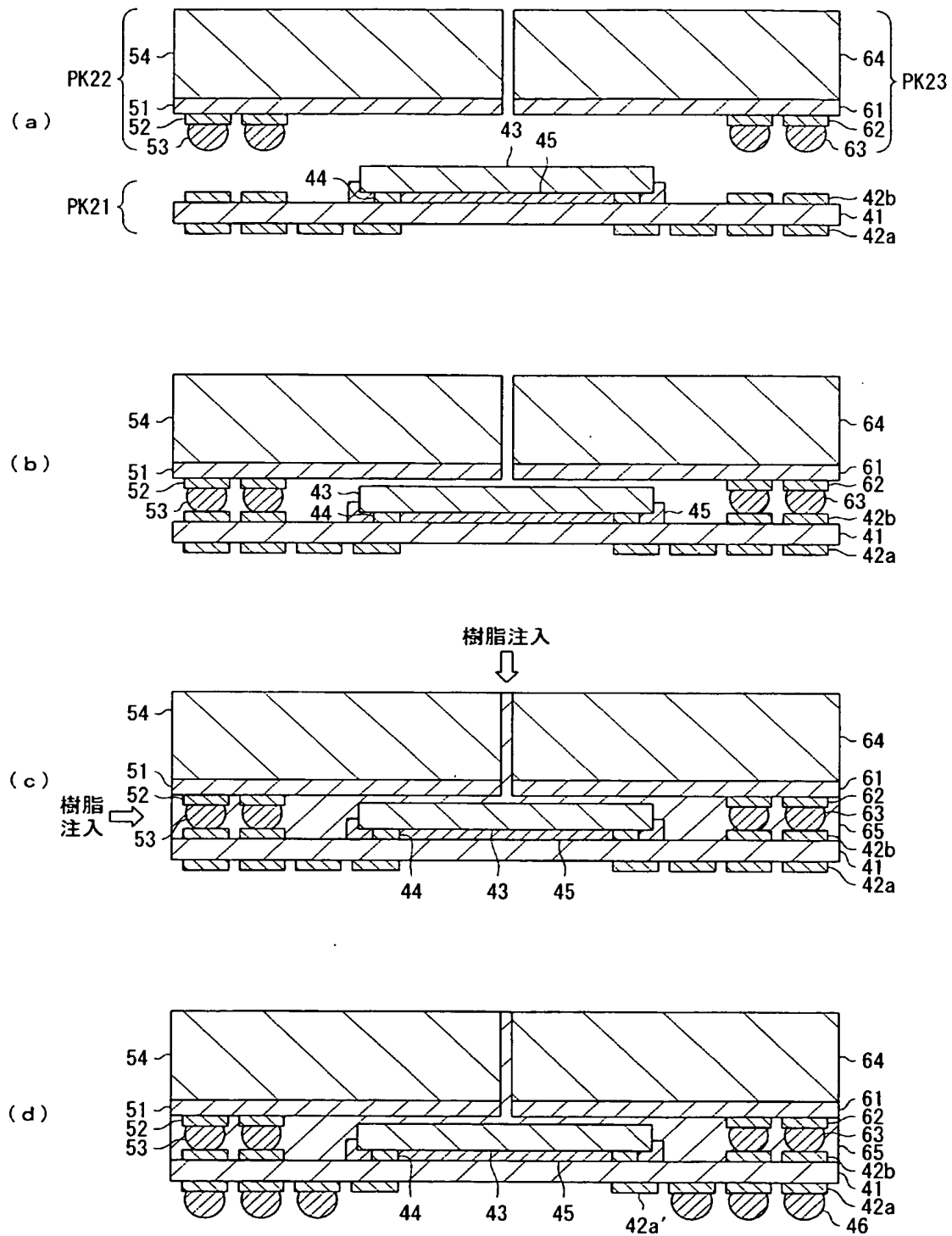
11、21、31、41、51、61、71、81、91、111、121、
131、211、221、231、311、321、331、411、511、
611 キャリア基板、12a、12c、22a、22a'、22c、32a、
32a'、32c、42a、42b、52、62、72a、72b、82、92
、112a、112b、122、212a、212b、222、232、312
a、312b、322a、322b、322a、322b、412a、412c
、512a、512c、612a、612c ランド、12b、22b、32b
、42b、52b、412b、512b、612b 内部配線、13、23a～
23c、33a～33c、43、73、113、213、313、323、41
3、421、513、521a～521c、613、621、631 半導体チ

ップ、14、16、26、36、44、46、53、63、74、76、83、
93、114、116、123、133、214、216、223、233、3
14、316、324、326、333a、333b、414、416、424
、514、516、529、539、614、616、628、638 突出電
極、15、45、75、115、215、315、325、415、515、6
15 異方性導電シート、24a~24c、34a~34c、54b 接着層、
25a~25c、35a~35c、55b 導電性ワイヤ、27、37、54、
64、65、84、94、95、96、124、134、224、234、33
4、528a、528b 封止樹脂、241 樹脂、85 容器、422、52
2a~522c、622、632 電極パッド、423、523a~523c、
525a~525c、623、633 絶縁膜、524a~524c 貫通孔、
526a~526c 導電膜、527a~527c 貫通電極、624、634
応力緩和層、625、635 再配置配線、626、536 ソルダレジスト
層、627、637 開口部、PK11~PK13、PK21~PK23、PK
31~PK33、PK41~PK43、PK51~PK53、PK61~PK6
3、PK71~PK73 半導体パッケージ

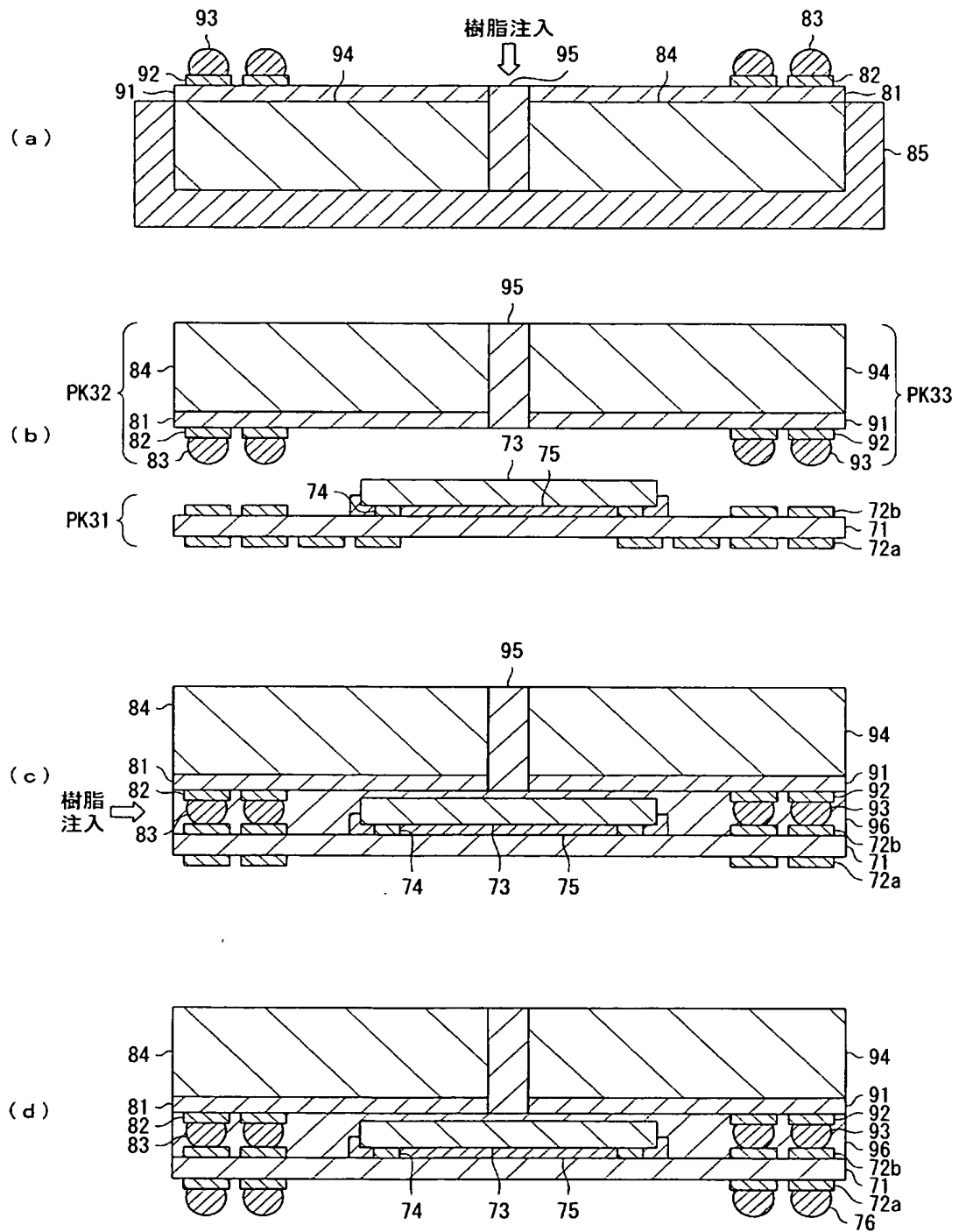
【図 2】



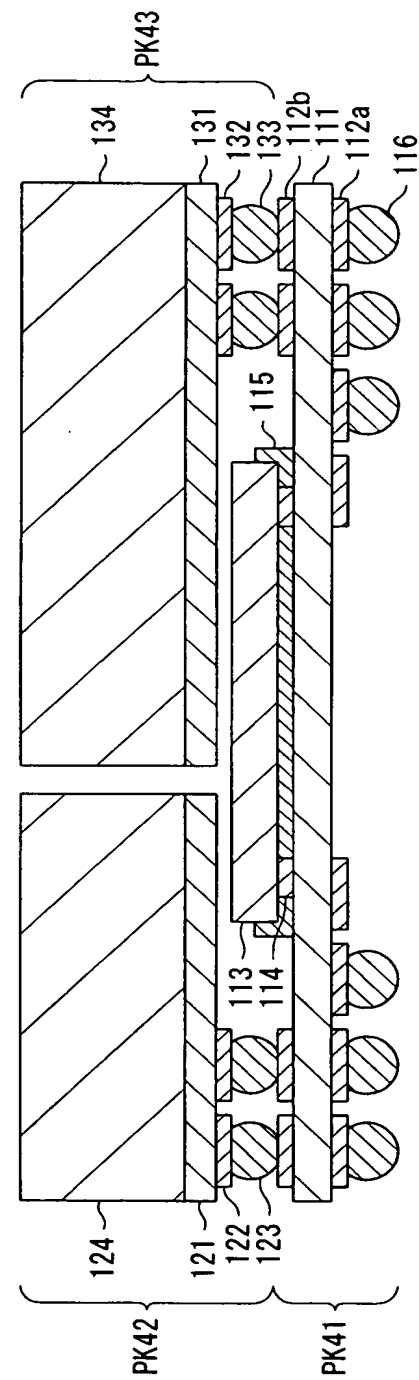
【図 3】



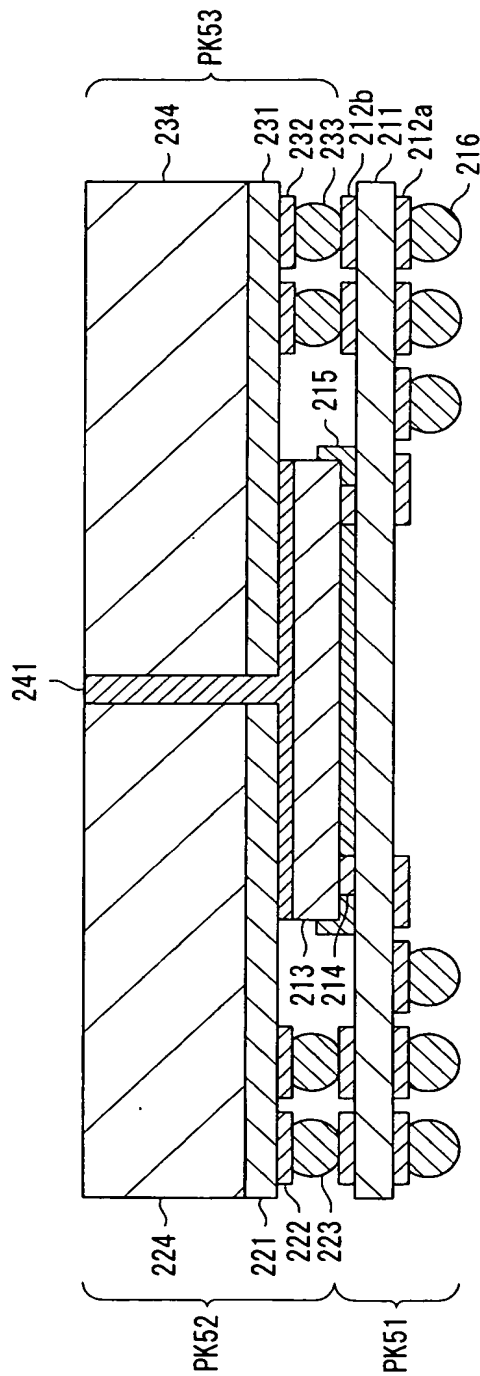
【図 4】



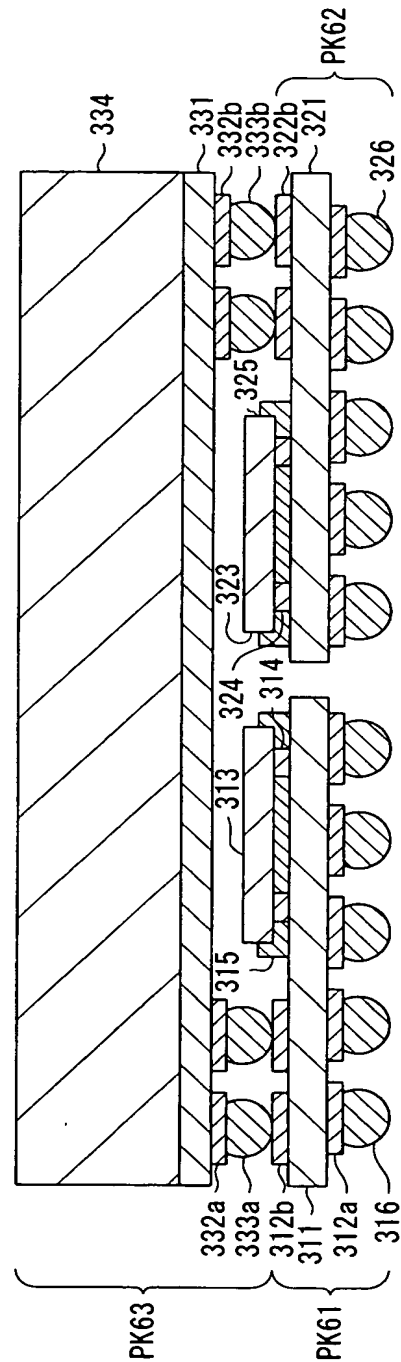
【図 5】



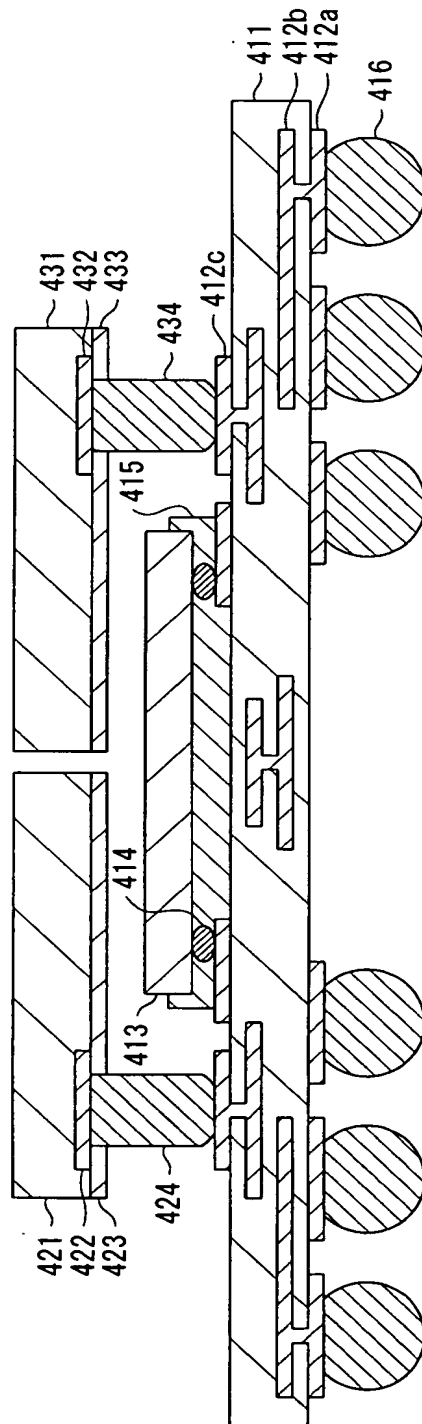
【図 6】



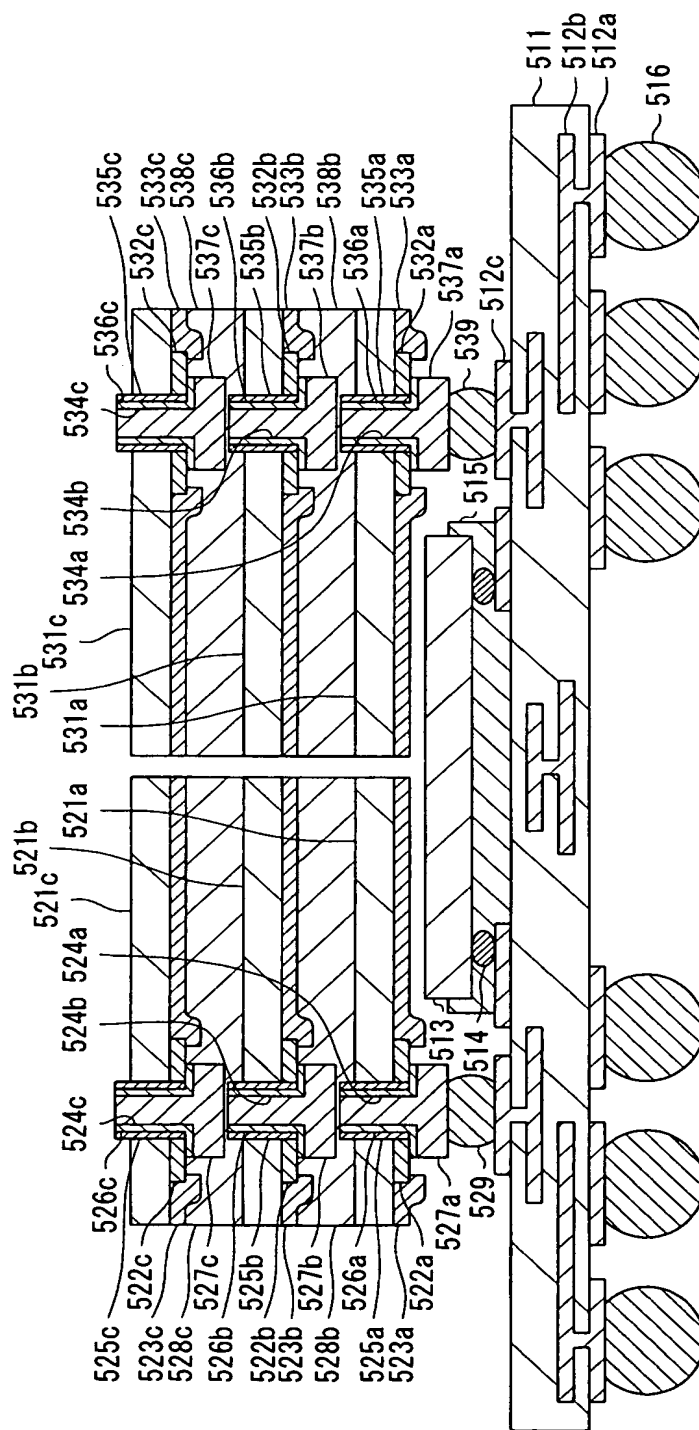
【図 7】



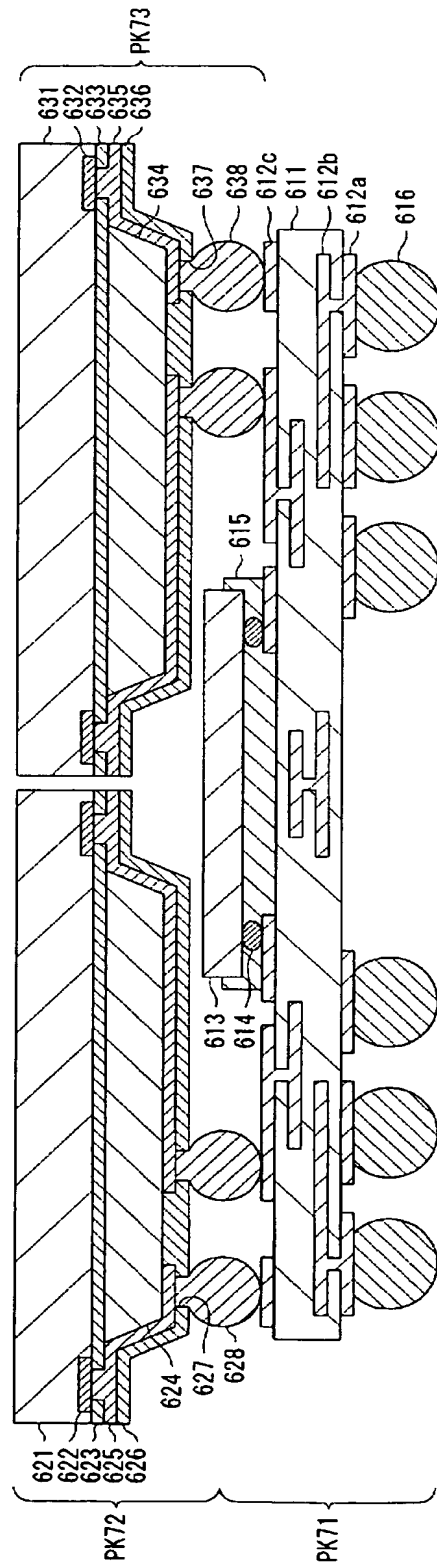
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 異種パッケージの 3 次元実装構造を実現する。

【解決手段】 キャリア基板 1 1 上に設けられたランド 1 2 c に突出電極 2 6、3 6 をそれぞれ接合させることにより、キャリア基板 2 1、3 1 の端部がそれぞれ半導体チップ 1 3 上に配置されるようにして、キャリア基板 2 1、3 1 をキャリア基板 1 1 上にそれぞれ実装する

【選択図】 図 1

特願 2 0 0 3 - 0 3 1 2 6 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社



Creation date: 02-12-2004
Indexing Officer: ADAMTEW - ASTER DAMTEW
Team: OIPEScanning
Dossier: 10774346

Legal Date: 02-06-2004

No.	Doccode	Number of pages
1	TRNA	1
2	SPEC	14
3	CLM	6
4	ABST	1
5	DRW	5
6	IDS	1

Total number of pages: 28

Remarks:

Order of re-scan issued on